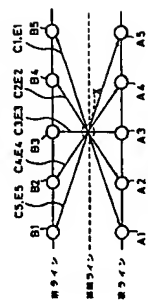








昇算回路、20a、20b、20c、20d、  
20e…絶対値回路、21a、21b、21c…  
最小値判定部、22…階層式判定部、23、25、  
26、28…ラッチ回路、24…方向判定部、  
27…ディジタライザ。



第2図

昇算回路	IA2-B41、IA3-B31、IA4-B21
IA2-B41=E2昇算部	→E2昇算部
IA3-B31=E3昇算部	→E3昇算部
IA4-B21=E4昇算部	→E4昇算部
昇算回路	IA2-B41、IA1-B31
IA2-B41=E2昇算部	→E2昇算部
IA1-B31=E1昇算部	→E1昇算部
昇算回路	IA4-B21、IA5-B11
IA4-B21=E4昇算部	→E4昇算部
IA5-B11=E5昇算部	→E5昇算部

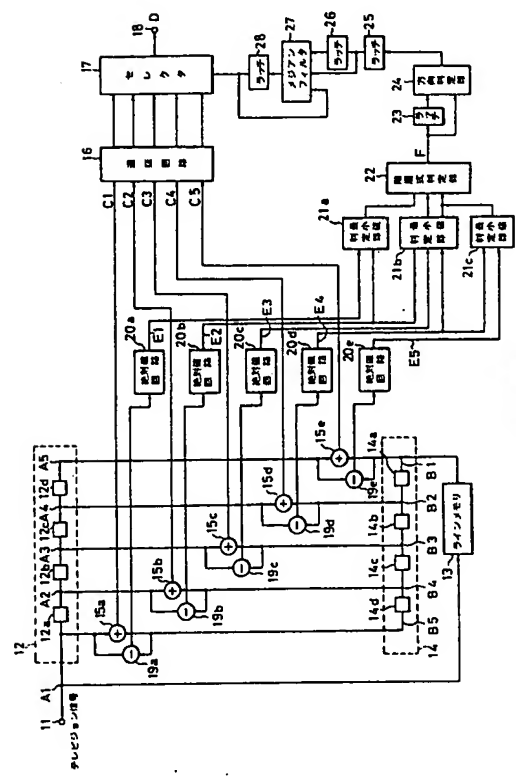
出願人代理人 井野士 隆 江 武 郎

第4図

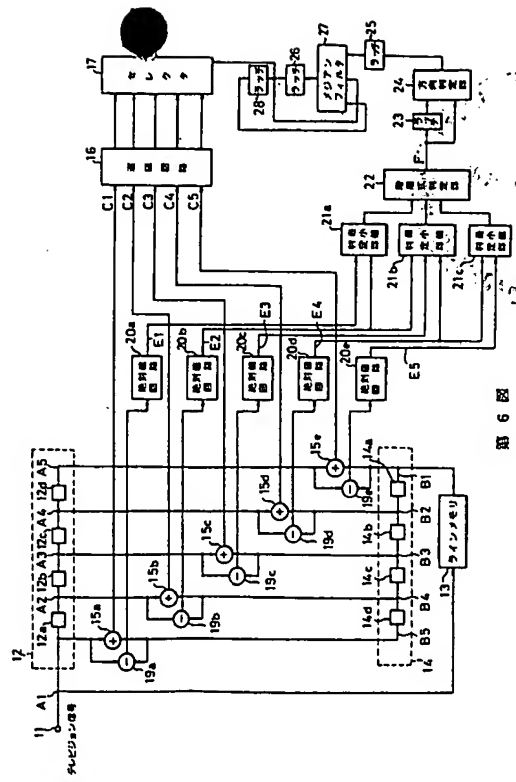
昇算回路	(A1,B5)	(A2,B4)	(A3,B3)	(A4,B2)	(A5,B1)
(A1,B5)	(A1,B5)	(A1,B5)	(A1,B5)	(A1,B5)	(A1,B5)
(A2,B4)	(A2,B4)	(A2,B4)	(A2,B4)	(A2,B4)	(A2,B4)
(A3,B3)	(A3,B3)	(A3,B3)	(A3,B3)	(A3,B3)	(A3,B3)
(A4,B2)	(A4,B2)	(A4,B2)	(A4,B2)	(A4,B2)	(A4,B2)
(A5,B1)	(A5,B1)	(A5,B1)	(A5,B1)	(A5,B1)	(A5,B1)

	t1	t2	t3	t4	t5	t6	t7	t8	t9	t10	t11
F1	2	2	2	0	-2	0	0	2	2	2	2
F2	2	2	0	0	-2	0	0	2	2	2	2
F3	2	0	0	0	0	0	0	2	2	2	2

第5図



第1図



第6図